



PTO/SB/21 (08-03)

Approved for use through 08/30/2003. OMB 0651-0031

U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

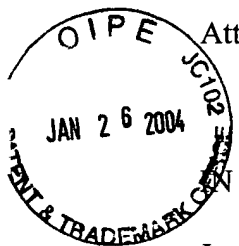
TRANSMITTAL FORM <i>(to be used for all correspondence after initial filing)</i>	Application Number	10/751,172	
	Filing Date	December 30, 2003	
	First Named Inventor	Jae-Won HAN	
	Art Unit		
	Examiner Name		
Total Number of Pages in This Submission	22	Attorney Docket Number	OPP 031047 US

ENCLOSURES (Check all that apply)		
<input type="checkbox"/> Fee Transmittal Form <input type="checkbox"/> Fee Attached <input type="checkbox"/> Amendment/Reply <input type="checkbox"/> After Final <input type="checkbox"/> Affidavits/declaration(s) <input type="checkbox"/> Extension of Time Request <input type="checkbox"/> Express Abandonment Request <input type="checkbox"/> Information Disclosure Statement <input checked="" type="checkbox"/> Certified Copy of Priority Document(s) <input type="checkbox"/> Response to Missing Parts/Incomplete Application <input type="checkbox"/> Response to Missing Parts under 37 CFR 1.52 or 1.53	<input type="checkbox"/> Drawing(s) <input type="checkbox"/> Licensing-related Papers <input type="checkbox"/> Petition <input type="checkbox"/> Petition to Convert to a Provisional Application <input type="checkbox"/> Power of Attorney, Revocation <input type="checkbox"/> Change of Correspondence Address <input type="checkbox"/> Terminal Disclaimer <input type="checkbox"/> Request for Refund <input type="checkbox"/> CD, Number of CD(s) _____	<input type="checkbox"/> After Allowance communication to Technology Center (TC) <input type="checkbox"/> Appeal Communication to Board of Appeals and Interferences <input type="checkbox"/> Appeal Communication to TC (Appeal Notice, Brief, Reply Brief) <input type="checkbox"/> Proprietary Information <input type="checkbox"/> Status Letter <input checked="" type="checkbox"/> Other Enclosure(s) (please identify below):
Remarks 1. Claim for Priority 2. Return Receipt Postcard		
SIGNATURE OF APPLICANT, ATTORNEY, OR AGENT		
Firm or Individual name	Andrew D. Fortney, Ph.D., Reg. No. 34,600	
Signature		
Date	January 21, 2004	

CERTIFICATE OF TRANSMISSION/MAILING			
I hereby certify that this correspondence is being facsimile transmitted to the USPTO or deposited with the United States Postal Service with sufficient postage as first class mail in an envelope addressed to: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450 on the date shown below.			
Typed or printed name	Andrew D. Fortney		
Signature		Date	January 21, 2004

This collection of information is required by 37 CFR 1.5. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: **Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.



Atty. Docket No. OPP 031047 US

IN THE UNITED STATES PATENT & TRADEMARK OFFICE

IN RE APPLICATION OF:

Jae-Won HAN

: GROUP ART UNIT:

SERIAL NO: 10/751,172

:

FILED: December 30, 2003

: EXAMINER:

FOR: Method for Manufacturing Silicide and Semiconductor with the Silicide

I hereby certify that this document is being deposited with the United States Postal Service as first class mail in an envelope addressed to Commissioner for Patents, Washington, D.C. 20231, on January 21, 2004.

By: 

Andrew D. Fortney

CLAIM FOR PRIORITY UNDER 35 U.S.C. 119(a)-(b) AND 37 C.F.R. 1.55

COMMISSIONER FOR PATENTS
WASHINGTON, D.C. 20231

SIR:

Applicant respectfully requests under the Paris Convention for the Protection of Intellectual Property the benefit of the filing date of the prior foreign application(s) identified below:

<u>Serial No.</u>	<u>Filing Date</u>	<u>Country of Filing</u>
10-2003-0021958	April 8, 2003	Republic of KOREA

A certified copy of the above-identified priority application is attached.

Respectfully submitted,



Andrew D. Fortney, Ph.D.
Reg. No. 34,600

7257 N. Maple Avenue, Bldg. D, #107
Fresno, California 93720
(559) 299 - 0128



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원번호 : 10-2003-0021958
Application Number

출원년월일 : 2003년 04월 08일
Date of Application APR 08, 2003

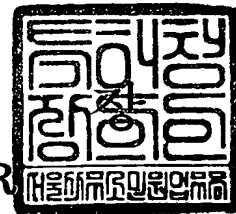
출원인 : 아남반도체 주식회사
Applicant(s) ANAM SEMICONDUCTOR., Ltd.



2003 년 10 월 13 일

특 허 청

COMMISSIONER





1020030021958

출력 일자: 2003/10/17

【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【창조번호】	0002
【제출일자】	2003.04.08
【발명의 명칭】	실리사이드 형성 방법 및 이 방법에 의해 제조된 실리사이드를 갖는 반도체 소자
【발명의 영문명칭】	METHOD FOR MANUFACTURING SILICIDE AND SEMICONDUCTOR WITH THE SILICIDE
【출원인】	
【명칭】	아남반도체 주식회사
【출원인코드】	1-1998-002671-9
【대리인】	
【명칭】	유미특허법인
【대리인코드】	9-2001-100003-6
【지정된변리사】	오원석
【포괄위임등록번호】	2001-041985-8
【발명자】	
【성명의 국문표기】	한재원
【성명의 영문표기】	HAN, JAE WON
【주민등록번호】	640323-1231318
【우편번호】	420-020
【주소】	경기도 부천시 원미구 중동 미리내마을 934동 201호
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 유미특허법인 (인)
【수수료】	
【기본출원료】	20 면 29,000 원
【가산출원료】	0 면 0 원

【우선권주장료】	0	건	0	원
【심사청구료】	16	항	621,000	원
【합계】	650,000	원		
【첨부서류】	1.	요약서·명세서(도면)_1통		

【요약서】**【요약】**

반도체 소자의 콘택(contact)에서의 접촉 저항을 감소시키기 위한 실리사이드를 형성하는 방법 및 이 방법에 의해 제조된 실리사이드를 갖는 반도체 소자에 관한 것으로, 본 발명의 실리사이드 형성 방법은, (a) 소스, 드레인, 게이트를 포함하는 트랜지스터를 갖는 반도체 기판을 세정하는 단계와; (b) 세정이 완료된 반도체 기판을 증착 장비 내의 스퍼터 챔버에 배치하고, 상기 반도체 기판을 일정 온도로 가열한 상태에서 금속 박막을 증착함과 동시에 실리사이드를 형성하는 단계와; (c) 실리사이드 형성에 이용되지 않고 남은 금속 박막을 제거하는 단계와; (d) 상기 반도체 기판을 어닐링하는 단계;를 포함한다. 이와 같이, 코발트 박막 증착과 동시에 실리사이드를 형성하므로, 후열처리 공정에 의해 실리사이드를 형성하는 종래 기술에 비해 후열처리에 의한 실리사이드 형성 공정 및 보호막 형성 공정을 생략할 수 있는 효과가 있다.

【대표도】

도 1

【색인어】

반도체, 실리사이드, 코발트, 쉐리사이드, 플라즈마, 스퍼터링

【명세서】**【발명의 명칭】**

실리사이드 형성 방법 및 이 방법에 의해 제조된 실리사이드를 갖는 반도체 소자(METHOD FOR MANUFACTURING SILICIDE AND SEMICONDUCTOR WITH THE SILICIDE)

【도면의 간단한 설명】

도 1은 본 발명에 따른 반도체 소자의 개략 구성도이고,

도2a 내지 2g는 본 발명에 따른 실리사이드를 형성하기 위한 방법을 나타내는 공정도이며,

도3a 내지 3d는 종래 기술에 따른 실리사이드를 형성하기 위한 방법을 나타내는 공정도이다.

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<4> 본 발명은 반도체 소자 및 이의 제조 방법에 관한 것으로, 더욱 상세하게는 반도체 소자의 콘택(contact)에서의 접촉 저항을 감소시키기 위한 실리사이드를 형성하는 방법 및 이 방법에 의해 제조된 실리사이드를 갖는 반도체 소자에 관한 것이다.

<5> 일반적으로 반도체 소자는 LOCOS(local oxidation of silicon) 또는 STI(swallow trench isolation) 소자 분리 방법에 의해 분리된 소자 영역에 소스/드레인 및 게이트를 구비하는 트랜지스터를 구비하며, 또한, 트랜지스터 구동 회로의 콘택(contact) 접촉 저항을 낮추기 위하여 티타늄 실리사이드 또는 코발트 실리사이드를 구비한다.

<6> 이하, 도 3을 참조하여 종래 기술에 따른 실리사이드 형성 방법을 개략적으로 살펴보면 다음과 같다.

<7> 먼저, 도 3a에 도시한 바와 같이 반도체 기판(100)의 소자 분리 영역(102) 사이에 소스/드레인(104a), 게이트(104b)를 포함하는 트랜지스터(104)를 형성하고, 반도체 기판(100) 위의 금속 불순물, 유기 오염물, 자연 산화막과 같은 다양한 대상물을 제거하기 위하여 세정 공정을 실시한다.

<8> 여기에서, 상기 세정 공정은 통상적으로 SC1(Standard Cleaning: NH_4OH 와 H_2O_2 및 H_2O 가 1:4:20의 비로 혼합된 유기물) 용액과 HF 또는 DHF(Dilute HF) 용액을 이용한 화학 세정 공정이 사용된다.

<9> 이어서, 도 3b에 도시한 바와 같이 스퍼터 시스템 내의 스퍼터 챔버에서 실리사이드 형성을 위한 코발트 등의 금속을 반도체 기판(100) 전면에서 스퍼터링하여 금속 박막(106)을 형성하는데, 이때, 반도체 기판(100)은 20~50℃의 온도로 가열된다. 그리고, 상기과 같이 금속 박막(106)을 형성한 후에는 후열처리 과정에서 금속 박막(106) 표면의 질화 또는 오염을 막기 위한 Ti 또는 TiN 보호막(108)을 증착한다.

<10> 다음으로, 도 3c 및 3d에 도시한 바와 같이 반도체 기판(100)을 빠른 열처리(RTP: Rapid Thermal Process) 장비 또는 전기로에 장입하여 400~600℃의 후열처리를 통해 실리사이드(110)를 형성하고, 실리사이드(110) 형성에 이용되지 않고 남은 금속 박막(106)을 제거한 후 반도체 기판(100)을 어닐링하여 실리사이드의 상을 안정화 시킴으로써 낮은 저항의 실리사이드(110')를 완성한다.

<11> 그런데, 상기한 구성의 종래 기술은 후열처리 공정에 의해 실리사이드(110)를 형성하며, 실리사이드(110) 형성시 금속 박막(106)의 표면을 보호하기 위한 보호막(108)을 형성해야 하므로, 공정 시간이 길어지는 문제점이 있다.

【발명이 이루고자 하는 기술적 과제】

<12> 본 발명은 상기한 문제점을 해결하기 위한 것으로, 그 목적은 금속 박막의 증착과 동시에 실리사이드를 형성하는 실리사이드 형성 방법을 제공하는데 있다.

<13> 또한, 본 발명의 목적은 상기한 실리사이드를 갖는 반도체 소자를 제공하는 것이다.

【발명의 구성 및 작용】

<14> 상기와 같은 목적을 달성하기 위하여 본 발명은,

<15> (a) 소스, 드레인, 게이트를 포함하는 트랜지스터를 갖는 반도체 기판을 세정하는 단계와;

<16> (b) 세정이 완료된 반도체 기판을 증착 장비 내의 스퍼터 챔버에 배치하고, 상기 반도체 기판을 450~600℃의 온도로 가열한 상태에서 금속 박막을 증착함과 동시에 실리사이드를 형성하는 단계와;

<17> (c) 실리사이드 형성에 이용되지 않고 남은 금속 박막을 제거하는 단계와;

<18> (d) 상기 반도체 기판을 어닐링하는 단계;

<19> 를 포함하는 실리사이드 형성 방법을 제공한다.

<20> 본 발명의 바람직한 실시예에 의하면, 상기 (b)단계에서는 CoSi의 조성비를 갖는 실리사이드가 형성되며, 상기 (a)단계는 SC1 용액을 이용한 1차 세정 공정과, HF 또는 DHF 용액을 이

용한 2차 세정 공정과, 스퍼터 챔버 내에서 반도체 기판을 플라즈마 식각하는 3차 세정 공정으로 이루어진다.

- <21> 여기에서, 상기 플라즈마 식각을 이용한 3차 세정 공정은 60~90W의 알에프 파워(RF Power)를 사용한 1차 식각 공정과, 250~350W의 2차 알에프 파워를 사용한 2차 식각 공정으로 이루어지며, 3~8sccm의 아르곤 가스를 사용한다.
- <22> 그리고, 상기 (b)단계에서는 2~10kW의 디씨 파워(DC Power)를 사용하는 코발트 스퍼터를 이용하여 금속 박막을 형성하며, 스퍼터링을 진행하기 위한 공정용 가스로는 40~70sccm의 아르곤 가스를 사용하고, 반도체 기판을 가열하기 위한 가열용 가스로는 8~15sccm의 아르곤 가스를 사용한다.
- <23> 한편, 상기 (c)단계는 50~150℃의 SPM 용액에서 5~15분간 금속 박막을 제거하는 1차 제거 공정과, 40~70℃의 SC1 용액에서 3~10분간 금속 박막을 제거하는 2차 제거 공정을 포함하며, 상기 (d)단계에서는 빠른 열처리 장비에서 700~950℃의 온도로 10~60초간 반도체 기판을 가열 처리하거나, 전기로에서 500~900℃의 온도로 20~60분간 반도체 기판을 가열 처리한다.
- <24> 그리고, 상기한 방법에 의해 제조된 실리사이드를 갖는 본 발명의 반도체 소자는,
- <25> 소자 분리 영역을 구비하는 반도체 기판과;
- <26> 게이트, 소스 및 드레인을 포함하며, 상기 반도체 기판의 소자 영역에 제공되는 트랜지스터와;
- <27> 상기 게이트, 소스 및 드레인의 일부 영역이 드러나도록 하는 콘택홀을 구비하며, 상기 반도체 기판에 제공되는 PMD(pre-metal dielectric)와;

- <28> 상기 콘택홀 내부에 제공되는 콘택과;
- <29> 상기 PMD 상부에 제공되며, 콘택과 접속되는 금속 배선층과;
- <30> 상기 콘택의 접촉 저항을 낮추도록 상기 트랜지스터에 제공되는 CoSi_2 의 성분의 실리사이드;
- <31> 를 포함한다.
- <32> 이하, 첨부된 도면을 참조하여 본 발명에 따른 바람직한 일 실시예를 설명한다.
- <33> 도 1은 본 발명의 실시예에 따른 반도체 소자를 개략적으로 도시한 단면도이다.
- <34> 도 1에서 알 수 있는 바와 같이 본 발명의 반도체 소자는, 반도체 기판(10)의 소자 분리 영역에 트렌치(미도시함)가 형성되어 있으며, 트렌치에는 소자를 분리하기 위한 절연 산화막(12)이 형성되어 있다. 그리고, 반도체 기판(10)의 소자 영역에는 게이트 산화막(14)과 게이트 폴리(16)가 형성되어 있으며, 게이트 산화막(14) 및 게이트 폴리(16)의 측벽에는 절연막으로 이루어진 스페이서(18)가 형성되어 있다. 또한, 게이트 산화막(14) 하부의 반도체 기판(10)에는 반도체 기판(10)과 반대 도전형의 불순물이 고농도로 매입된 소스/드레인(20)이 형성되어 있다.
- <35> 그리고, 게이트 산화막(14)과 게이트 폴리(16), 소스/드레인(20)을 포함하는 모스 트랜지스터(22)가 형성된 반도체 기판(10) 상부에는 게이트 폴리(16), 소스/드레인(20)의 일부 영역이 드러나도록 하는 콘택홀(미도시함)이 형성된 PMD(pre-metal dielectric)(24)가 형성되어 있으며, PMD(24)의 콘택홀 내부에는 콘택(26)이 형성되어 있고, PMD(24) 상부에는 콘택(26)에 접속되는 금속 배선층(28)이 형성되어 있다.

- <36> 또한, 콘택(26)과 접하는 게이트 폴리(16)의 상부 및 소스/드레인(20)의 상부에는 콘택 접촉 저항을 낮추기 위한 CoSi_2 성분의 실리사이드(30)가 형성되어 있다.
- <37> 이하, 상기 실리사이드(30)를 형성하기 위한 방법을 도 2를 참조로 설명하면 다음과 같다.
- <38> 먼저, 도 2a에 도시한 바와 같이, 반도체 기판(10)에 소스/드레인(20), 게이트(14,16)를 포함하는 트랜지스터(22)를 형성하고, 반도체 기판(10) 위의 금속 불순물, 유기 오염물, 자연 산화막과 같은 다양한 대상물을 제거하기 위하여 세정 공정을 실시한다.
- <39> 본 실시예에서는 상기 세정 공정이 도 2b에 도시한 바와 같이 SC1(Standard Cleaning: NH_4OH 와 H_2O_2 및 H_2O 가 1:4:20의 비로 혼합된 유기물) 용액을 이용한 1차 세정 공정과, 도 2c에 도시한 바와 같이 HF 또는 DHF(Dilute HF) 용액을 이용한 2차 세정 공정, 및 도 2d에 도시한 바와 같이 반도체 기판(10)을 플라즈마 식각하는 3차 세정 공정으로 이루어지는 것을 예로 들어 설명하지만, 이는 필수적이지 않다.
- <40> 이때, 도 2d에 도시한 상기 3차 세정 공정은 금속 박막 증착을 위한 스퍼터 시스템 내의 스퍼터 챔버에서 실시하며, 플라즈마 소스로는 3~8sccm의 아르곤 가스를 이용한다.
- <41> 그리고, 플라즈마 식각은 60~90W의 알에프 파워(RF Power)를 사용한 1차 식각 공정과, 250~350W의 2차 알에프 파워를 사용한 2차 식각 공정으로 실시하는 것이 바람직하다.
- <42> 이어서, 도 2e에 도시한 바와 같이 스퍼터 챔버(미도시함) 내에서 실리사이드 형성을 위한 코발트, 티타늄 등의 금속을 반도체 기판(10) 전면에서 스퍼터링하여 금속 박막(32)을 형성하는데, 이하에서는 상기 금속 박막(32)이 코발트 박막으로 이루어지는 것을 예로 들어 설명한다.

- <43> 이때, 반도체 기판(10)은 도시하지 않은 히터 블록을 사용하거나, 또는 아르곤 가스에 의한 대류 방식을 사용하여 450~600℃의 온도로 가열하며, 상기 대류 방식을 사용하는 경우에는 반도체 기판(10)을 가열하기 위한 가열용 가스로 8~15sccm의 아르곤 가스를 사용할 수 있다.
- <44> 이와 같이 상기한 고온(450~600℃)으로 반도체 기판(10)을 가열한 상태에서 코발트 박막(32)을 스퍼터링 방법으로 증착하면, 스퍼터링된 코발트 원자가 기판(10)에 도달했을 때 기판(10) 온도에 의한 열에너지를 전달받아 실리콘과 접촉되는 면에서 도 2f에 도시한 바와 같이 CoSi 성분의 실리사이드(30')가 형성된다. 이때, 물론 상기 절연 산화막(12)이나 스페이서(18) 위에 증착되는 코발트 박막(32)은 열에너지를 받아도 실리사이드화 되지 않는다. 즉, 코발트 박막(32)의 증착과 동시에 셀리사이드(Self Aligned Silicide)가 형성된다.
- <45> 그러나, 기판(10) 온도가 높으면 열에너지를 받은 실리콘 표면에 코발트 실리사이드(30')의 형성을 방해하는 장벽막이 형성되어 실리사이드화가 효과적으로 이루어지지 않게 된다.
- <46> 이를 방지하기 위해, 코발트를 스퍼터링할 때에는 고출력, 바람직하게는 2~10kW의 디씨 파워(DC Power)를 사용하는 코발트 스퍼터와, 저압의 공정용 가스, 일례로 40~70sccm의 아르곤 가스를 사용하여 코발트 박막(32)을 형성한다. 이와 같이 고출력의 코발트 스퍼터에서 스퍼터링된 코발트 원자는 열에너지에 의해 형성된 장벽막을 침투하여 실리사이드(30')를 형성할 수 있다.
- <47> 다음으로는, 도 2g에 도시한 바와 같이 실리사이드(30') 형성에 이용되지 않고 남은 코발트 박막(32)을 제거한 후 반도체 기판(10)을 어닐링하여 실리사이드(30')의 상을 안정화 시킴으로써 낮은 저항을 갖는 CoSi

2 성분의 실리사이드(30)를 완성한다. 여기에서, 상기 코발트 박막(32)은 50~150℃의 SPM 용액에서 5~15분간 제거하는 1차 제거 공정과, 40~70℃의 SC1 용액에서 3~10분간 제거하는 2차 제거 공정에 따라 제거할 수 있다.

<48> 여기에서, 상기 어닐링 작업은, 도시하지 않은 빠른 열처리 장비에서 700~950℃의 온도로 10~60초간 반도체 기판(10)을 가열하거나, 전기로에서 500~900℃의 온도로 20~60분간 반도체 기판을 가열하는 것에 따라 이루어질 수 있다.

<49> 상기에서는 본 발명의 바람직한 실시예에 대하여 설명하였지만, 본 발명은 이에 한정되는 것이 아니고 특허청구범위와 발명의 상세한 설명 및 첨부한 도면의 범위 안에서 여러 가지로 변형하여 실시하는 것이 가능하고 이 또한 본 발명의 범위에 속하는 것은 당연하다.

【발명의 효과】

<50> 이상에서 설명한 바와 같이 본 발명은 코발트 박막 증착과 동시에 실리사이드를 형성하므로, 후열처리 공정에 의해 실리사이드를 형성하는 종래 기술에 비해 보호막 형성 공정을 생략할 수 있는 효과가 있다.

【특허청구범위】**【청구항 1】**

(a) 소스, 드레인, 게이트를 포함하는 트랜지스터를 갖는 반도체 기판을 세정하는 단계와;

(b) 세정이 완료된 반도체 기판을 증착 장비 내의 스퍼터 챔버에 배치하고, 상기 반도체 기판을 일정 온도로 가열한 상태에서 금속 박막을 증착함과 동시에 실리사이드를 형성하는 단계와;

(c) 실리사이드 형성에 이용되지 않고 남은 금속 박막을 제거하는 단계와;

(d) 상기 반도체 기판을 어닐링하는 단계;

를 포함하는 실리사이드 형성 방법.

【청구항 2】

제 1항에 있어서, 상기 (b)단계에서는 CoSi의 조성비를 갖는 실리사이드가 형성되는 실리사이드 형성 방법.

【청구항 3】

제 2항에 있어서, 상기 (a)단계는 SC1 용액을 이용한 1차 세정 공정을 포함하는 실리사이드 형성 방법.

【청구항 4】

제 3항에 있어서, 상기 (a)단계는 HF 또는 DHF 용액을 이용한 2차 세정 공정을 더욱 포함하는 실리사이드 형성 방법.

【청구항 5】

제 4항에 있어서, 상기 (a)단계는 스퍼터 챔버 내에서 반도체 기판을 플라즈마 식각하는 3차 세정 공정을 더욱 포함하는 실리사이드 형성 방법.

【청구항 6】

제 5항에 있어서, 상기 3차 세정 공정은 60~90W의 알에프 파워(RF Power)를 사용한 1차 식각 공정과, 250~350W의 2차 알에프 파워를 사용한 2차 식각 공정으로 이루어지는 실리사이드 형성 방법.

【청구항 7】

제 5항에 있어서, 상기 3차 세정 공정은 3~8sccm의 아르곤 가스를 사용하는 실리사이드 형성 방법.

【청구항 8】

제 2항에 있어서, 상기 (b)단계에서는 반도체 기판을 450~600℃의 온도로 가열하는 실리사이드 형성 방법.

【청구항 9】

제 8항에 있어서, 상기 (b)단계에서는 2~10kW의 디씨 파워(DC Power)를 사용하는 코발트 스퍼터를 이용하여 금속 박막을 형성하는 실리사이드 형성 방법.

【청구항 10】

제 8항에 있어서, 상기 (b)단계에서는 스퍼터링을 진행하기 위한 공정용 가스로 40~70sccm의 아르곤 가스를 사용하고, 반도체 기판을 가열하기 위한 가열용 가스로 8~15sccm의 아르곤 가스를 사용하는 실리사이드 형성 방법.

【청구항 11】

제 2항에 있어서, 상기 (c)단계는 50~150℃의 SPM 용액에서 5~15분간 금속 박막을 제거하는 1차 제거 공정과, 40~70℃의 SC1 용액에서 3~10분간 금속 박막을 제거하는 2차 제거 공정을 포함하는 실리사이드 형성 방법.

【청구항 12】

제 2항에 있어서, 상기 (d)단계는 빠른 열처리 장비에서 700~950℃의 온도로 10~60초간 반도체 기판을 가열 처리하는 실리사이드 형성 방법.

【청구항 13】

제 2항에 있어서, 상기 (d)단계는 전기로에서 500~900℃의 온도로 20~60분간 반도체 기판을 가열 처리하는 실리사이드 형성 방법.

【청구항 14】

제 2항에 있어서, 상기 (d)단계에서 어닐링이 완료된 실리사이드는 CoSi_2 의 성분으로 이루어지는 실리사이드 형성 방법.

【청구항 15】

전술한 제1항 내지 제13항중 어느 한 항의 방법에 의해 제조된 실리사이드를 갖는 반도체 소자로서,

소자 분리 영역을 구비하는 반도체 기판과;

게이트, 소스 및 드레인을 포함하며, 상기 반도체 기판의 소자 영역에 제공되는 트랜지스터와;



상기 게이트, 소스 및 드레인의 일부 영역이 드러나도록 하는 콘택홀을 구비하며, 상기 반도체 기판에 제공되는 PMD(pre-metal dielectric)와;

상기 콘택홀 내부에 제공되는 콘택과;

상기 PMD 상부에 제공되며, 콘택과 접속되는 금속 배선층과;

상기 콘택의 접촉 저항을 낮추도록 상기 트랜지스터에 제공되는 실리사이드;

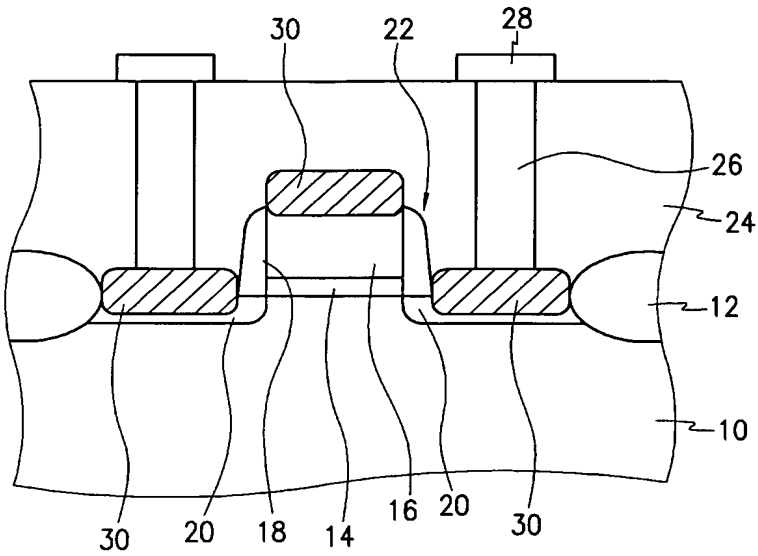
를 포함하는 반도체 소자.

【청구항 16】

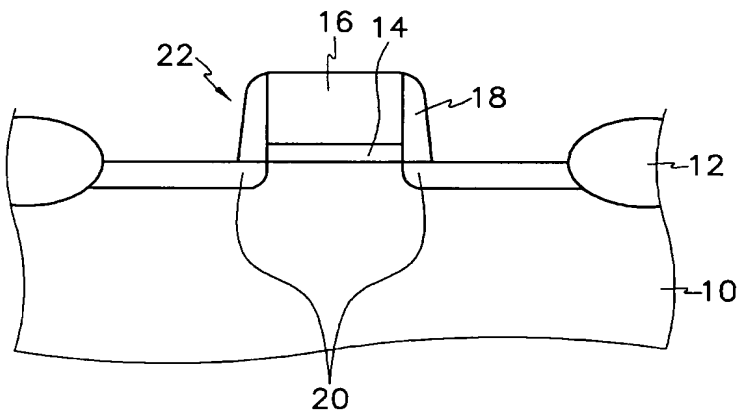
제 15항에 있어서, 상기 실리사이드는 CoSi_2 의 성분으로 이루어지는 반도체 소자.

【도면】

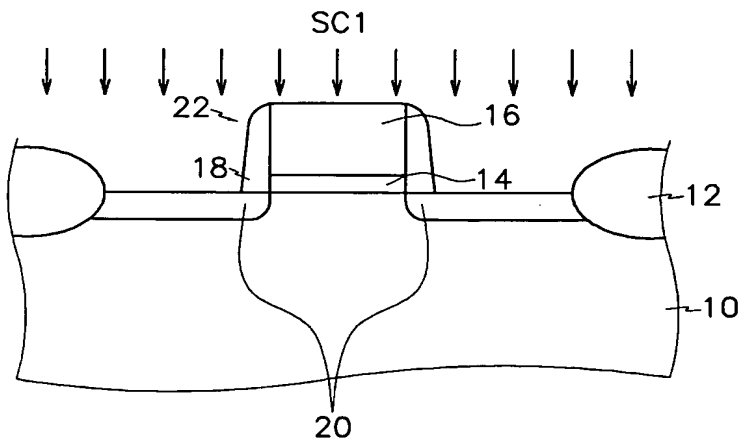
【도 1】



【도 2a】

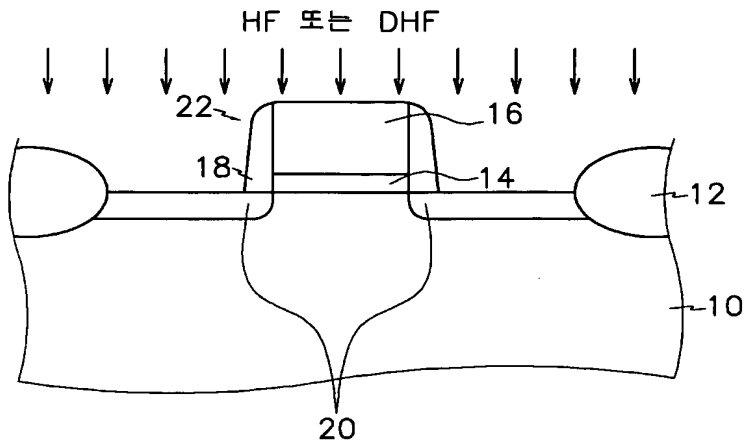


【도 2b】

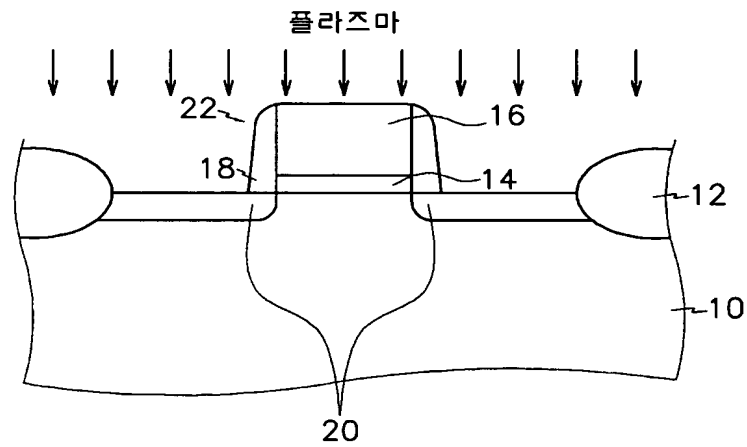




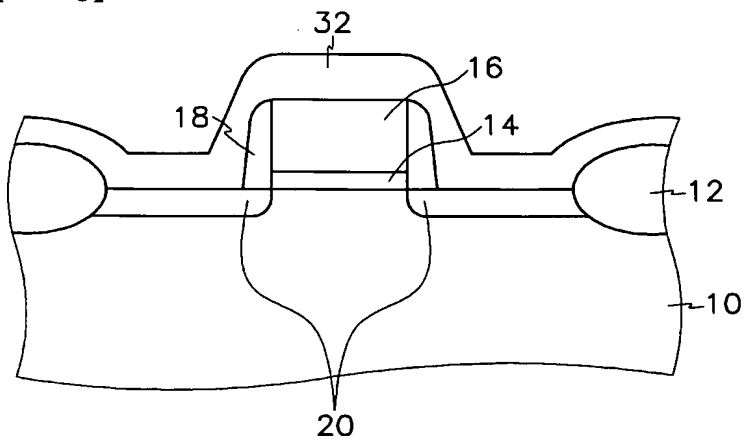
【도 2c】



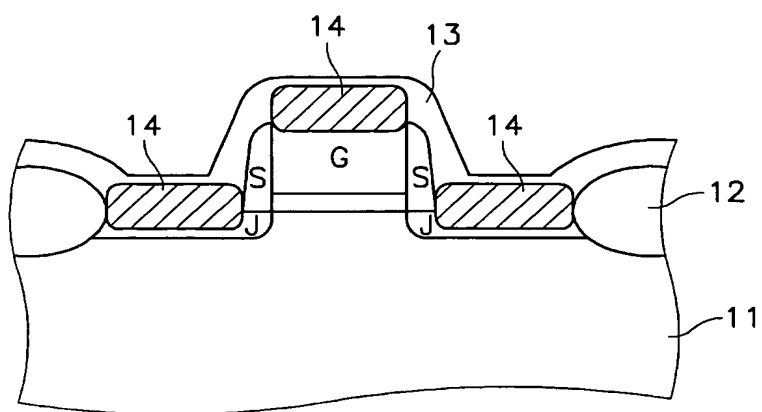
【도 2d】



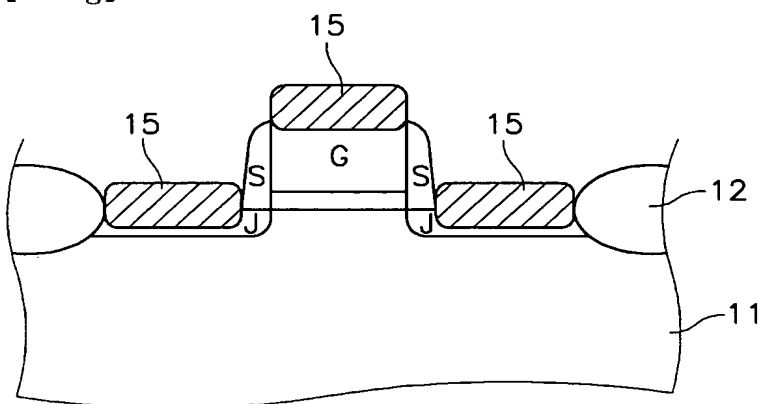
【도 2e】



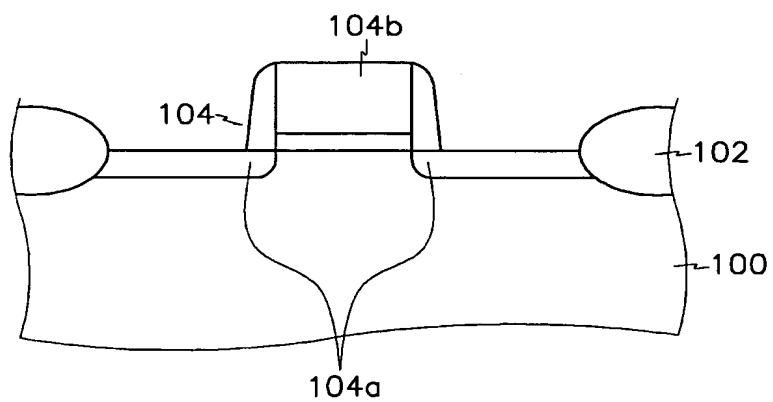
【도 2f】



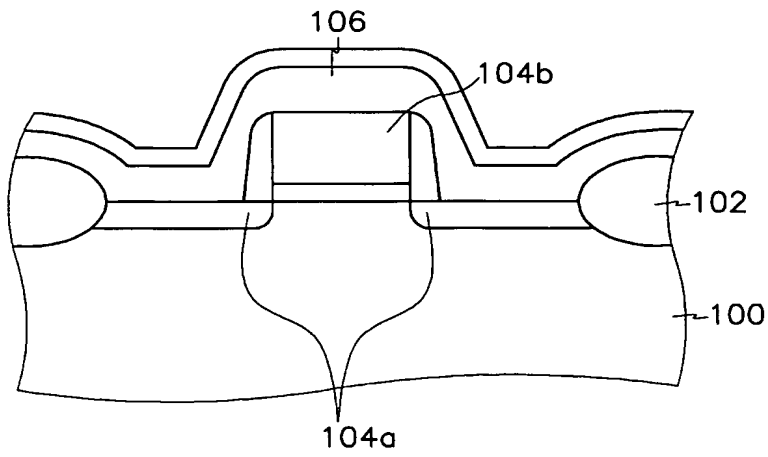
【도 2g】



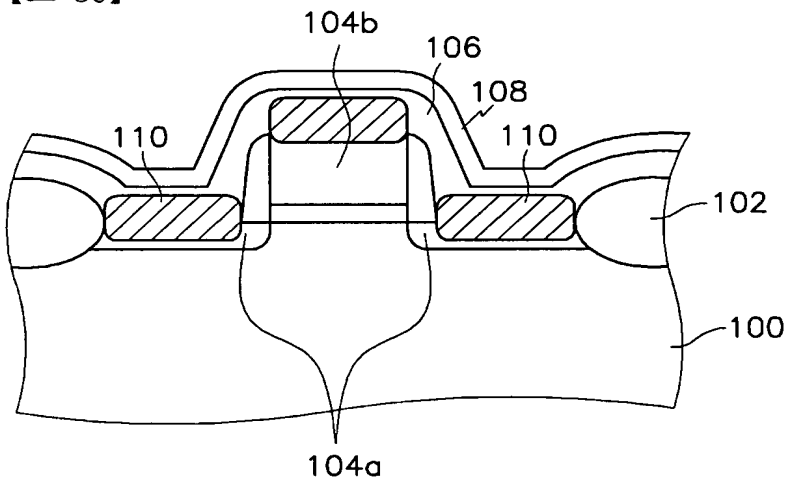
【도 3a】



【도 3b】



【도 3c】



【도 3d】

